

### Call for Papers

## Zuverlässigkeit und Entwurf

Die Entwurfstechnologie für komplexe Hardware-/Software-Systeme steht vor neuen Herausforderungen, z. B. durch autonom operierende Fahrzeuge und das „Internet der Dinge“. Sie muss nicht nur die zuverlässige Funktion von „Cyber-Physikalischen Systemen“ gewährleisten, wozu in stark zunehmendem Maße auch Aspekte der Sicherheit gehören, sondern oftmals auch eine abgesicherte Funktion unter unvorhergesehenen Fehlerbedingungen beispielsweise durch „error resilience“ über alle Systemebenen vorsehen, und dies oft auch noch in engen Grenzen bei der zulässigen Verlustleitung. Dabei spielt die enge Integration von Sensoren, Aktoren, analoger und digitaler Hardware und Software eine entscheidende Rolle, auch und gerade im Hinblick auf Anwendungen im Bereich „Industrie 4.0“. Die Fachtagung „Zuverlässigkeit und Entwurf“ (ZuE) 2017 in Cottbus, organisiert mit Unterstützung der Kooperationsgemeinschaft *Rechnergestützter Schaltungs- und Systementwurf* (RSS) der ITG/GMM/GI, versucht, Wege zur Beherrschung dieser Herausforderungen aufzuzeigen. Dabei sind Beiträge aus Universitäten und Forschungseinrichtungen genau so erwünscht wie Einreichungen aus der Industrie.



Brandenburgische  
Technische Universität  
Cottbus - Senftenberg



innovations  
for high  
performance  
microelectronics

Zu den folgenden Themen und auch verwandten Bereichen laden wir ein, Beiträge aus Wissenschaft und industrieller Praxis einzureichen:

- Robuster Entwurf und Fertigungsschwankungen
- Zuverlässigkeit und Fehlertoleranz
- Synthesis for Reliability and Yield
- Heterogene Multi-Domain Systeme
- Methoden für die Systemintegration (2,5 und 3D-Layoutentwurf)
- Anforderungen zuverlässiger Systeme
- Rekonfiguration
- Test komplexer und heterogener Systeme
- Systemzuverlässigkeit beim Hardware/Software-Codesign
- HW/SW-Integration
- Sicherheit eingebetteter und verteilter HW/SW-Systeme
- Neue Bauelemente und Technologien
- Verfügbarkeitsgarantien bei Degradation
- Architekturen für Multiprozessorsysteme
- Entwurf und Verifikation von analogen und gemischt analog/digitalen Schaltungen
- Analoge Schaltungstechniken für neue Technologien
- Side Channel Attacks

Wir freuen uns auf die Einreichung Ihres Beitrags und hoffen Sie in Cottbus begrüßen zu dürfen.

Heinrich T. Vierhaus und Rolf Kraemer



### Wichtige Termine

Einreichung der  
Beiträge:  
**15. Mai 2017**

Benachrichtigung  
der Autoren:  
**10. Juli 2017**

Einreichung der  
endgültigen Fassung:  
**01. August 2017**

Anmeldung zur  
Fachtagung:  
**01. September 2017**



### Einreichung von Beiträgen

Die Fachtagung findet in deutscher Sprache statt. Es sind jedoch englischsprachige Beiträge und Vorträge willkommen. Die Beiträge sollten bis zu 8 DIN A4-Seiten umfassen. Formatvorlagen und die Autorenvereinbarung sind unter [www.ZuE2017.de](http://www.ZuE2017.de) zu finden. Die angenommenen Beiträge werden in einem zitierfähigen Tagungsband veröffentlicht. Englischsprachige Beiträge werden zudem über **IEEE Xplore** veröffentlicht.

Es sind Vorträge von ca. 20 Minuten mit anschließender Diskussion sowie Posterpräsentationen vorgesehen.

### Tagungsort

Brandenburgische Technische Universität Cottbus-Senftenberg  
Konrad-Wachsmann-Allee 5  
03046 Cottbus

### Tagungsleitung

Heinrich T. Vierhaus  
BTU Cottbus-Senftenberg  
  
Rolf Kraemer  
BTU Cottbus-Senftenberg/ IHP GmbH

### Vorsitz des Programmkomitees

Mario Schölzel  
Universität Potsdam/ IHP GmbH  
  
Milos Krstic  
Universität Potsdam/ IHP GmbH

### Lokale Organisation

Christian Gleichner  
BTU Cottbus-Senftenberg  
  
Kathleen Galke  
BTU Cottbus-Senftenberg

Die aktuellen Informationen zur Tagung finden Sie unter  
[www.ZuE2017.de](http://www.ZuE2017.de)

### Programmkomitee

U. Abelein, AUDI AG  
J. Alt, Intel, München  
W. Anheier, Universität Bremen  
B. Becker, Universität Freiburg  
O. Bringmann, Universität Tübingen  
R. Brück, Universität Siegen  
M. Dietrich, Fraunhofer IIS/EAS  
R. Drechsler, DFKI Bremen  
S. Eichenberger, NXP Semiconductors GmbH  
P. Engelke, Infineon Technologies AG  
R. Ernst, TU Braunschweig  
M. Fischer, Verigy Germany GmbH  
G. Fey, DLR  
A. Garcia-Ortiz, Universität Bremen  
G. Georgakos, Infineon Technologies AG  
H. Gräß, TU München  
C. Grimm, TU Kaiserslautern  
K. Hahn, Universität Siegen  
T. Harriehausen, Ostfalia Hochschule  
L. Hedrich, Universität Frankfurt/Main  
S. Hellebrand, Universität Paderborn  
A. Herkersdorf, TU München  
B. Hoppe, IBM Deutschland  
T. Hötzel, Gärtner Electronic GmbH  
J. Kampe, Fachhochschule Jena  
J. Kelber, Fachhochschule Schmalkalden  
R. Kraemer, IHP GmbH  
M. Krstic, IHP GmbH  
W. Kunz, Universität Kaiserslautern  
J. Lienig, TU Dresden  
B. Michel, Fraunhofer ENAS, Chemnitz  
K. Müller-Glaser, Universität Karlsruhe  
W. Nebel, OFFIS e.V., Oldenburg  
F. Oppenheimer, OFFIS e.V., Oldenburg  
S. Paul, Universität Bremen  
R. Pferdenges, Infineon Technologies AG  
F. Pöhl, Intel Mobile Communications GmbH  
I. Polian, Universität Passau  
M. Porrmann, Heinz-Nixdorf-Insti., Paderborn  
M. Radetzki, Universität Stuttgart  
M. Reuter, Mentor Graphics Dtl. GmbH  
S. Rülke, Fraunhofer IIS/EAS  
S. Sattler, Universität Erlangen-Nürnberg  
V. Schöber, Edacentrum GmbH, Hannover  
F. Schenkel, MunEDA GmbH  
U. Schlichtmann, TU München  
J. Schlöffel, Mentor Graphics Hamburg,  
K. Schneider, TU Kaiserslautern  
M. Schölzel, IHP GmbH  
R. Sommer, IMMS gGmbH  
A. Steininger, TU Wien  
R. Tetzlaff, TU Dresden  
R. Vahrman, Atmel Automotive GmbH  
H. T. Vierhaus, BTU Cottbus-Senftenberg  
B. Wittig, Volkswagen AG  
H.-J. Wunderlich, Universität Stuttgart